

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-250666

(43)Date of publication of application : 17.09.1999

(51)Int.Cl. G11C 11/409
G11C 7/00
G11C 11/417
G11C 11/407

(21)Application number : 10-370579

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 25.12.1998

(72)Inventor : KIM JUNG PILL

(30)Priority

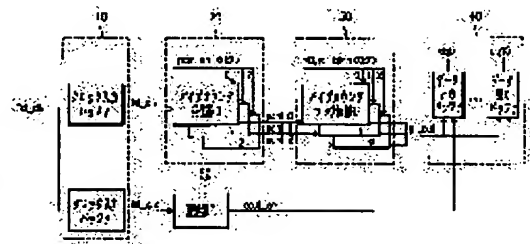
Priority number : 97 9781300 Priority date : 31.12.1997 Priority country : KR

(54) MEMORY WITH DATA OUTPUT BUFFER AND METHOD FOR CONTROLLING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory having a data output buffer by generating an internal signal for controlling the buffer, thereby improving a data window time tDW and a method for controlling it.

SOLUTION: A clock input buffer 10 receives an external clock and outputs an internal clock. A delay element 50 delays the internal clock output from the buffer 10 for a predetermined time. An operation of the buffer 40 is controlled by the delayed internal clock output from the element 50. A data window time tDW of the data output from the buffer 40 becomes the same as a period of the external clock by controlling the delayed internal signal.



LEGAL STATUS

[Date of request for examination]

06.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-250666

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 11/409

7/00

11/417

11/407

3 1 3

G 1 1 C 11/34

7/00

11/34

3 5 4 Q

3 1 3

3 0 5

3 5 4 C

3 6 2 S

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平10-370579

(22) 出願日 平成10年(1998)12月25日

(31) 優先権主張番号 1 9 9 7 P - 8 1 3 0 0

(32) 優先日 1997年12月31日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136

- 1

(72) 発明者 金 鼎 筆

大韓民国京畿道利川市夫鉢邑牙美里山136

- 1

現代電子産業株式会社内

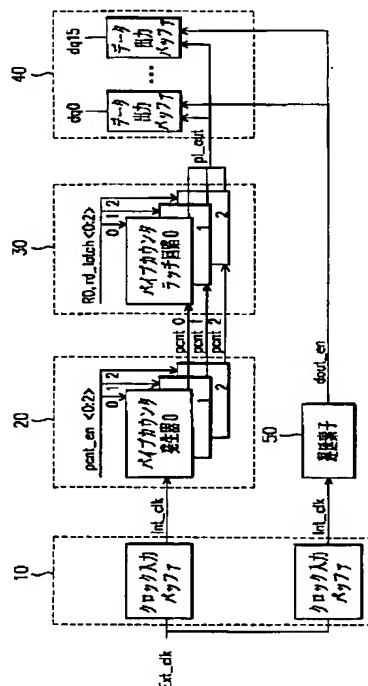
(74) 代理人 弁理士 荒船 博司 (外 1 名)

(54) 【発明の名称】 データ出力バッファを有するメモリ装置及びその制御方法

(57) 【要約】

【課題】 本発明の課題は、データ出力バッファを制御する内部信号を発生させることにより、データウィンドウタイム (tDW) を改良したデータ出力バッファを有するメモリ装置及び制御方法を提供することである。

【解決手段】 クロック入力バッファ10は外部クロックを受信して内部クロックを出力する。遅延素子50はクロック入力バッファ10から出力される内部クロックを一定時間遅延させる。遅延素子50から出力される遅延された内部クロックにより、データ出力バッファ40の動作が制御される。遅延された内部信号の制御により、前記データ出力バッファ40から出力されるデータのデータウィンドウタイム (tDW) は、前記外部クロックの周期と同一である。



【特許請求の範囲】

【請求項1】データ出力バッファを有するメモリ装置において、外部クロックを受信して内部クロックを出力するクロック入力バッファと、前記クロック入力バッファから出力される前記内部クロックを一定時間遅延させる遅延手段と、を備え、前記遅延手段から出力される遅延した内部クロックにより、前記データ出力バッファの動作を制御することを特徴とするデータ出力バッファを有するメモリ装置。

【請求項2】前記遅延手段は、温度変化に伴う特性変化の小さい抵抗成分、キャパシタ成分、及び複数個の遅延バッファを備えることを特徴とする請求項1記載のデータ出力バッファを有するメモリ装置。

【請求項3】前記データ出力バッファから出力されるデータのデータウィンドウタイムは、前記外部クロックの周期と同一であることを特徴とする請求項1または請求項2のいずれかに記載のデータ出力バッファを有するメモリ装置。

【請求項4】データ出力バッファを有するメモリ装置において、外部クロックを受信して内部クロックを出力するクロック入力バッファと、前記クロック入力バッファから出力される前記内部クロックを一定時間遅延させる遅延手段と、メモリセルから読み込まれたデータをラッチした後に、出力するラッチ手段と、を備え、前記遅延手段から出力される遅延した内部クロックにより、前記データ出力バッファの動作を制御することを特徴とするデータ出力バッファを有するメモリ装置。

【請求項5】前記ラッチ手段は、パイプ動作が可能であることを特徴とする請求項4記載のデータ出力バッファを有するメモリ装置。

【請求項6】前記データ出力バッファを制御するため、前記遅延手段から出力される遅延した内部クロックの発生タイミングは、前記ラッチ手段から出力される前記読み込まれたデータが最も遅く出力される時のタイミングと同一であることを特徴とする請求項4記載のデータ出力バッファを有するメモリ装置。

【請求項7】前記遅延手段は、温度変化に伴う特性変化の小さい抵抗成分、キャパシタ成分、及び複数個の遅延バッファを備えることを特徴とする請求項4記載のデータ出力バッファを有するメモリ装置。

【請求項8】前記データ出力バッファから出力されるデータのデータウィンドウタイムは、前記外部クロックと同周期であることを特徴とする請求項4から請求項7のいずれかに記載のデータ出力バッファを有するメモリ装置。

【請求項9】メモリ装置のデータ出力バッファを制御する方法において、外部クロックを受信して内部クロックを発生させる段階と、前記内部クロックを一定時間遅延させ、一定時間遅延した内部信号を発生させる段階と、前記遅延された内部クロックにより、前記メモリ装置の

データ出力バッファの動作を制御する段階と、を備えたことを特徴とするメモリ装置のデータ出力バッファ制御方法。

【請求項10】前記遅延された内部クロックの制御により、前記データ出力バッファから出力されるデータのデータウィンドウタイムは、前記外部クロックと同周期であることを特徴とする請求項9記載のメモリ装置のデータ出力バッファ制御方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、データ出力バッファを有するメモリ装置とその制御方法に関し、詳細には、メモリ装置のセルアレイからデータを読み込んだ後、読み込まれたデータをエラーなくデータ出力バッファに出力させるための充分なデータ出力時間を確保したデータ出力バッファを有するメモリ装置とその制御方法に関する。

【0002】

【従来の技術】一般に、メモリ装置からデータを読み込んで外部システムに出力する場合、当該読み込まれたデータをエラーなく外部システムに伝える必要がある。このような安定した動作を行うためには、通常メモリ装置の駆動能力、又は動作状態は安定した状態を維持しなければならない。しかしながら、メモリ装置の駆動能力は周辺温度の変化や駆動電圧の変動等の各種条件により変化することが多い。このため、メモリ装置の出力バッファを介して出力されるデータの状態が不安定になる場合がある。また、駆動電圧又は周辺温度の変化によりトランジスタ等の特性が不安定となり、メモリ装置の内部で生じるクロック信号等の動作タイミングの瞬間が不正確になる場合がある。

【0003】上述のように、動作タイミングの瞬間が不安定になるのに伴い、出力されるデータのタイミング間隔が変動することになる。この時、安定したデータを得ることができるタイミング間隔をデータウィンドウタイム(t_{DW})と定義する。通常、メモリ装置の動作が高速化する程、即ちデータ処理速度が向上する程、一定期間の区間データを安定的に確保できるデータウィンドウタイム(t_{DW})が重要になる。

【0004】図1は、メモリ装置内に貯蔵されていたデータを、複数個のパイプ手段を介してデータ出力バッファに出力させる過程を説明するために例示した従来のメモリ装置の部分ブロック図である。図1を参照して従来のデータ出力方法について詳細に説明する。

【0005】図1は、パイプ機能を有するSDRAM (Synchronous Dynamic Random Access Memory) を例示したブロック図であるが、一般のメモリ装置又はデータ貯蔵が可能なレジスタ等からデータを読み込み、出力バッファに出力させる多様なメモリ装置の場合であっても、その機能解釈は同一である。

【0006】図1に示すように、クロック入力バッファ1は、外部から印加されるクロックを受信してメモリ装置内で要求される電圧レベルに返還された内部クロックを発生させる。

【0007】また、パイプカウンタ発生器2は、クロック入力バッファ1から出力される内部クロックを受信する。更に、パイプカウンタ発生器2は、後述するデータ出力待ち時間及びバーストレンス(Burst Length)に関連して出力される複数のパイプカウンタイネーブル信号(pcnt-en0、pcnt-en1、pcnt-en2)も受信する。

【0008】ここで、データ出力待ち時間は、特定時間に外部クロックが印加された後、データ出力バッファを介してメモリ装置の外部にデータが出力されるまでの時間を意味し、通常データが出力されるまでの外部クロック印加回数に対応する。従って、データ出力待ち時間はメモリ装置内でのデータ処理速度に影響を与える。

【0009】バースト動作は特定コマンドが入力されてから、メモリ装置内で一連のコマンドを特定順に発生させる機能を有し、当該機能によりメモリ装置の動作が高速化される。通常バースト動作には、シーケンシャル(Sequential)方式又はインタリーブ(Interleave)方式等が採用されており、メモリ装置内でアドレスを連続的に発生させるのに利用されている。この時に発生される連続的なアドレス数がバーストレンスである。

【0010】複数のパイプカウンタイネーブル信号(pcnt-en0、pcnt-en1、pcnt-en2)、及び内部クロックを受信するパイプカウンタ発生器2は、当該信号に対応した複数のパイプカウンタ信号(pcnt0、pcnt1、pcnt2)を発生させる。パイプカウンタ信号(pcnt0、pcnt1、pcnt2)等は、データ出力待ち時間が長いほど遅延して出力され、パイプカウンタラッチ回路3を制御する。

【0011】パイプカウンタラッチ回路3は、メモリ装置の読み込み動作によりメモリセルから読み出されたデータを貯蔵する。パイプカウンタラッチ回路3は、パイプ動作モードにより、順次複数のパイプカウンタラッチ回路3にデータを受信する。パイプカウンタラッチ回路3に受信されたデータは、所定時間貯蔵され、当該データは、パイプカウンタ信号(pcnt0、pcnt1、pcnt2)により選択的にパイプカウンタラッチ回路3から出力される。そして、パイプカウンタラッチ回路3から出力された信号(p1-out)は、データ出力バッファ(dq0、dq1、……、dq15)に印加される。

【0012】データ出力バッファは一定時間、受信されたデータを貯蔵する機能を有する。図2(a)～図2(b)及び図3(a)～図3(b)は、図1に示したデータ出力バッファを備えた従来のメモリ装置のブロック図に対応する詳細回路図である。

【0013】図2(a)は、図1に示されたクロック入力バッファ1の回路図である。図2(a)に示すように、差動増幅器により構成され比較器の機能を有する。

即ち、クロック入力バッファ1は外部クロック信号と基準電圧を比較した後、メモリ装置の内部信号であるCMOS(Complimentary Metal Oxide Semiconductor)電圧レベルにクロックの電圧レベルを返還させる。

【0014】図2(b)は、図1に示したパイプカウンタ発生器2の詳細回路図である。図に示すように、パイプカウンタ発生器2はクロック入力バッファ1から出力される内部クロックを受信する。内部クロックはトランジスタ(N1)のドレイン端子に印加される。

【0015】また、トランジスタのゲートには、パイプカウンタイネーブル信号(pcnt-en0、pcnt-en1、pcnt-en2)中の1つの信号が印加される。パイプカウンタ発生器2は、パイプカウンタイネーブル信号(pcnt-en0、pcnt-en1、pcnt-en2)と内部クロックを組合せることにより、パイプカウンタ信号(pcnt0、pcnt1、pcnt2)を出力する。リセット信号がアクティブ状態に移行すると、パイプカウンタ信号(pcnt0、pcnt1、pcnt2)等の出力は、ロー状態(無効状態)に移行する。即ち、パイプカウンタ発生器2のPMOSTランジスタ、及びNMOSTランジスタ(P1、N1)は、非動作モードの間、初期状態をVssに維持するための手段である。

【0016】図3(a)は、図1に示されたパイプカウンタラッチ回路3において、メモリセルから出力されたデータ(RD)を貯蔵するため、フリップフロップに構成される。パイプカウンタ信号(pcnt0、pcnt1、pcnt2)は、フリップフロップを制御してデータ(RD)を順次出力する。また、パイプカウンタラッチ回路3から出力されるデータ(p1-out)は、データ出力バッファに印加される。

【0017】図3(b)は、データ出力バッファ4の回路図である。データ出力バッファ4は、前記パイプカウンタラッチ回路3の出力データ(p1-out)を貯蔵し、当該データを外部システムに出力させる。

【0018】図4は、図1～図3に示したデータ出力バッファを備えた従来のメモリ装置において言及した信号等の波形図である。図4において、(a)は、外部クロック(Ext-clk)の波形図であり、(b)は内部クロック(Int-clk)の波形図である。(c)、(d)、(e)は、それぞれのカウンタイネーブル信号(pcnt-en0、pcnt-en1、pcnt-en2)の波形図である。(f)は、メモリセルから読み込まれたデータを示す。(g)は、パイプカウンタラッチ回路3の出力信号を示し、(h)は、データ出力バッファ4の出力信号である。

【0019】図4に示す波形図は、出力データ待ち時間が3であり、バーストレンスが4の場合である。即ち、図4(a)に示すように外部クロックが連続的に3回入力された後、(h)に示すようにデータが出力されるため、出力データ待ち時間は3となる。さらに、(f)に示すようにメモリセルから4つのデータが連続的に読み出されたため、バーストレンスは4となる。これは、外部

から印加された1つのアドレス信号により、当該メモリ装置の内部には4つのアドレス信号が連続的に発生するためである。

【0020】図4に示したように、(c)のpcnt0信号のリセットは、(d)のpcnt1信号により決定される。同様に、pcnt1信号とpcnt2信号のリセットはそれぞれpcnt2、pcnt0により決定される。

【0021】また、図4におけるクロックのライジング部分とエッジ部分でのライン等は、温度や電圧のような周辺環境の変化により、もたらされるクロックタイミングの変動を表す。このように、温度や電圧の変化によりクロックアクセスタイム(tAC)と、データウィンドウタイム(tDW)と、出力ホールドタイム(tOH)が変化することになる。

【0022】クロックアクセスタイム(tAC)は、以下の理由により変化する。最初に、外部クロックがクロック入力バッファ1、パイプカウンタ発生器2、及びパイプカウンタラッチ回路3を通過する間に、トランジスタ等の特性変化により伝達速度が変化する。次に、データ出力バッファ4の位置が互いに異なるため、出力データの伝達速度に差が生じる。

【0023】出力ホールドタイム(tOH)は、外部クロックが印加されてから、データ出力バッファ4内のデータを他データと入れ替えるまでに要する時間を表す。従って、出力ホールドタイム(tOH)は電圧、温度によるトランジスタ等の特性変化に伴い変動する。

【0024】クロックアクセスタイム(tAC)は、外部クロックがt1において印加されてから、最初のデータが周辺環境の変動により最も遅く出力するまでのタイミング区間(t1~t2)を表す。この際、クロックアクセスタイム(tAC)が最大となるのは、電源電圧が低下し温度が上昇する時である。

【0025】出力ホールドタイム(tOH)は、外部クロックがt3において印加されてから、前述した最初のデータが周辺環境の変動により最も短時間存続するタイミング区間(t3~t4)を表す。この際、クロックアクセスタイム(tAC)が最小となるのは、電源電圧が上昇し温度が低下する時である。

【0026】次に、データウィンドウタイム(tDW)は、t2~t4区間を表す。ここで、t2は、データが周辺環境の変動により最も遅く出力する瞬間であり、t4は最初のデータが周辺環境の変動により、最短時間存続する瞬間である。

【0027】

【発明が解決しようとする課題】しかしながら、従来のデータ出力バッファを有するメモリ装置及びその制御方法では以下に示すような問題があった。

【0028】上述のように、クロックアクセスタイム(tAC)と出力ホールドタイム(tOH)が変動する場合(Worst Case)は、互いに異なる。更に、内部回路を

経る間に電圧と温度の変化により、データ出力バッファ4におけるデータ保有時間を表すデータウィンドウタイム(tDW)区間は不安定であるため、特に高速メモリ装置の場合において誤動作をもたらす場合がある。

【0029】本発明の課題は、上述した問題を解消するため、データ出力バッファを制御する内部信号を発生させることにより、データウィンドウタイム(tDW)を改良したデータ出力バッファを有するメモリ装置及び制御方法を提供することである。

【0030】

【課題を解決するための手段】請求項1記載の発明は、データ出力バッファを有するメモリ装置において、外部クロックを受信して内部クロックを出力するクロック入力バッファと、前記クロック入力バッファから出力される前記内部クロックを一定時間遅延させる遅延手段を備え、前記遅延手段から出力される遅延した内部クロックにより、前記データ出力バッファの動作を制御することとを特徴とする。

【0031】請求項1記載のデータ出力バッファを有するメモリ装置によれば、データ出力バッファを有するメモリ装置において、外部クロックを受信して内部クロックを出力するクロック入力バッファと、前記クロック入力バッファから出力される前記内部クロックを一定時間遅延させる遅延手段を備え、前記遅延手段から出力される遅延した内部クロックにより、前記データ出力バッファの動作を制御する。

【0032】従って、メモリの高速化に伴うデータウィンドウタイム(tDW)の減少を防ぐため、外部クロックを受信して一定時間遅延させる遅延手段により、データ出力バッファを制御するため、pcntとp1-out信号等の各種信号が、電圧、温度等の周辺環境に伴い変化した場合であっても、一定の遅延を利用した信号であるdout-en信号が、電圧と温度に伴い変化しないようにし、slow tACとfast tACが同一になるようなデータウィンドウタイム(tDW)がメモリ装置内で実現される。従って、高速メモリ装置の場合であっても誤動作を減少することができ、メモリ装置の動作状態を安定させることができる。

【0033】

【発明の実施の形態】次に、本発明に係るデータ出力バッファを有するメモリ装置及び制御方法の動作原理を詳細に説明する。

【0034】最初に、構成を説明する。図4は、本発明の実施の形態により具現化されたデータウィンドウ制御装置のブロック図である。図示したように、本実施の形態のデータウィンドウ制御装置はクロック入力バッファ10と、パイプカウンタ発生器20と、パイプカウンタラッチ回路30と、データ出力バッファ40と、遅延素子50から構成されている。

【0035】本実施の形態においては、パイプカウンタ

発生器20とパイプカウンタラッチ回路30の構成は、従来技術と同一とみなすことができる。これに対して、本発明に係るメモリ装置においては、クロック入力バッファを複数個備えている。図5に例示したクロック入力バッファ10の機能は、前述した従来技術のクロック入力バッファ1の機能と同一である。即ち、図6(a)の詳細回路図に示すように、クロック入力バッファ10は外部クロック信号(ext-clk)と基準電圧Vrefを比較した後、メモリ装置の内部信号であるCMOS電圧レベルでクロックの電圧レベルを変換させる。

【0036】また、本実施の形態と従来技術では、本実施の形態においては1つのクロック入力バッファ10から出力される内部クロックを受信する遅延素子50を更に備えるという点が異なる。図5に例示したように、遅延素子50は内部クロックを受信し、所定の時間遅延されたクロック信号を出力する。また、遅延素子50から出力されたクロック信号は、データ出力バッファ40を有効にするデータ出力イネーブルクロック(dout-enb)である。

【0037】上述のように、従来技術とは別にデータ出力バッファ40は、遅延素子50から出力されるデータ出力イネーブルクロック(dout-enb)により制御される。なお、本実施の形態における遅延手段としての遅延素子50は、複数のクロック入力バッファ10を直列連結して使用する構成にすることも可能である。

【0038】次に、図6～図8を参照して本実施の形態におけるデータ出力バッファを有するメモリ装置の動作について説明する。なお、図6(a)は、図2(a)に示した従来技術におけるクロック入力バッファと同様のため説明を省略する。

【0039】図6(b)、及び図6(c)は、遅延手段の具体的な一例である。図6(b)に示したように、本実施の形態における遅延手段は、電圧と温度に対する遅延時間が、トランジスタと比較して相対的に安定しているパッシブ(passive)抵抗とキャパシタンスで構成されている。なお、当該キャパシタンスは、トランジスタを利用して作ることができる。

【0040】次に、図6(c)は、遅延手段の他の一例である。図6(c)に示したように、当該遅延手段は複数の遅延バッファを備えており、遅延バッファは、各々の遅延バッファに対応したバイアス電圧を制御することにより、動作速度が制御される。例えば、制御信号(vref-p)と制御信号(vref-n)の絶対値が大きい程、各遅延バッファの動作速度が大きくなる。従って、当該遅延手段から出力されるデータ出力イネーブルクロック(dout-enb)は、短時間で出力される。これに対し、制御信号(vref-p)と制御信号(vref-n)の絶対値が小さい程、各遅延バッファの動作速度は小さくなる。従って、遅延手段から出力されるデータ出力イネーブルクロック(dout-enb)の出力時間は長くなる。

【0041】本実施の形態において、 $V_{ref-p}=V_{cc}-2v$ 、且つ $V_{ref-n}=V_{cc}-2v$ であれば、図6(c)に示したPMOSトランジスタを使用した場合のゲートソース間の電圧絶対値 $|V_{gs}|=|V_{cc}-2v-V_{cc}|=2v$ は、 V_{cc} に関わりなく常に一定である。同様に、NMOSトランジスタを使用した場合のゲートソース間の電圧絶対値 $|V_{gs}|$ も V_{cc} に関わりなく常に一定である。従って、遅延手段の遅延時間も常に一定となる。

【0042】次に、図7(a)は、従来技術と同様のクロック入力バッファの回路図である。従来技術と異なる点は、外部から供給される電源電圧を使用せず回路内部で発生した内部電圧Vintを使用する点である。

【0043】また、図7(b)は、遅延手段の更に他の一例である。当該遅延手段は、抵抗とキャパシタを利用することにより内部クロックを遅延させる点で図6(b)に示した遅延手段と同一であるが、回路内部で発生した内部電圧Vintをバイアス電圧として使用するという点が図6(b)に示した遅延手段と異なる。

【0044】また、図7(c)は、データ出力バッファを示す回路図であり、図3(b)に示した従来技術におけるデータ出力バッファを示す回路図と異なり、遅延素子50から出力されるデータ出力イネーブルクロック(dout-enb)により制御される。

【0045】即ち、本実施の形態におけるパイプカウンタラッチ回路30の出力信号p1-outは、データ出力イネーブルクロック(dout-enb)がハイ状態で有効になると、データ出力バッファ40に伝えられる。従って、一定時間遅延された内部クロックによりデータ出力バッファ40の動作が制御される。

【0046】以下、図8を参照して所定時間遅延された内部クロックを利用してデータ出力バッファ40を制御する過程を説明する。

【0047】図8に示した波形は、従来技術と基本的に同様である。図8(a)において、外部クロック(Ext-clk)がクロック入力バッファ10に入力されると、前記クロック入力バッファ10は外部クロック(Ext-clk)信号を基準電圧と比較し、図8(b)に示すような内部クロック信号(int-clk)により当該電圧を変換する。

【0048】クロック入力バッファ10から出力された内部クロック信号(int-clk)は、パイプカウンタ発生器20を介して、図8(c)～図8(e)に示すパイプカウンタ信号(pcnt0、pcnt1、pcnt2、……)を順次発生させる。次に、パイプカウンタ発生器20を制御することにより、パイプカウンタラッチ回路30は信号(p1-out)を出力させる。当該パイプカウンタラッチ回路30により出力された信号(p1-out)は、データ出力バッファ40に貯蔵される。

【0049】本実施の形態におけるメモリ装置は、図8(h)に示す遅延された内部クロックと、図8(i)に

示す遅延された内部クロックに制御され、データ出力バッファ40から出力されるデータに特徴がある。しかしながら、図8(g)に示すように、温度、電圧等の周辺環境の変化により、パイプカウンタラッチ回路30から出力されるデータ(p1-out)は、出力時間が一定ではない。これに伴い、従来技術と同様にデータ出力バッファ40から出力されるデータの出力時間も不安定であり、データウィンドウタイム(tDW)が減少する。

【0050】そこで、本実施の形態においては、図8(h)に示すように、パイプカウンタラッチ回路30から出力されるデータ(p1-out)の変換中で最も遅いタイミングを選択する。次に、このタイミングに合わせ、遅延素子50から出力される遅延された内部クロック(dout-en)が、データ出力バッファ40に印加されるようにする。従って、図8(i)に示すように、データ出力バッファ40はデータ(p1-out)を安定した状態で出力することが可能となる。

【0051】更に、遅延素子50から出力される遅延した内部クロック(dout-en)の周期が、外部クロックの周期と同一のため、データウィンドウタイム(tDW)も外部クロック周期と同一となる。

【0052】なお、本発明は、前記実施の形態の内容に限定されるものではなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【0053】例えば、本実施の形態では、2つのクロック入力バッファ10を用いているが、2つ以上のクロック入力バッファを用いるようにしてもよい。

【0054】また、本実施の形態では、同一のクロック入力バッファが記述されているが、2つのクロック入力バッファ10は、それぞれの構成が互いに異なる場合であっても有効である。

【0055】更に、従来技術と同様に1つのクロック入力バッファ10を用いることも可能である。但し、この場合には、クロック入力バッファ10から出力される内部クロック(Int-clk)は、パイプカウンタ発生器20と遅延素子50へ同時に印加される必要がある。

【0056】

【発明の効果】請求項1、請求項3、及び請求項6記載の発明によれば、メモリ的高速化に伴うデータウィンドウタイム(tDW)の減少を防ぐため、外部クロックを受信して一定時間遅延させる遅延手段を備え、データ出力バッファを制御する。即ち、pcntとp1-out信号等の各種信号が、電圧、温度等の周辺環境に伴い変化した場合であっても、一定の遅延を利用した信号であるdout-en信号が、電圧と温度に伴い変化しないようにすることにより、slow tACとfast tACが同一になるようなデータウィンドウタイム(tDW)がメモリ装置内で実現される。従って、特に高速メモリ装置の場合において誤動作を減少し、メモリ装置の動作状態を安定させることができる。

【0057】請求項2、及び請求項7記載の発明によれば、pcntとp1-out信号等の各種信号及び、一定の遅延を利用した信号であるdout-en信号の周辺環境の変化に伴う特性変化を最小限に止めることができるため、高速メモリ装置の場合においても誤動作を減少し、メモリ装置の動作状態を安定させることができる。

【0058】請求項4～請求項5記載の発明によれば、前記データ出力バッファの制御により、前記遅延手段から出力される遅延した内部クロックの発生タイミングと、前記ラッチ手段から出力される前記読み込まれたデータが出力されるタイミングとの間で同期をとることができるため、特に高速メモリ装置の場合において誤動作を最小限に止めることができる。

【0059】請求項8～請求項10記載の発明によれば、外部クロックを用いるシンクロナスメモリ装置は勿論、メモリ装置内部で発生した内部クロックを用いる一般的なメモリ装置においても適用が可能である。従って、将来的なパーソナルコンピュータ等のメインクロック周波数の高速化にも効果的に対応することができる。

【図面の簡単な説明】

【図1】データ出力バッファを備えた従来のメモリ装置のブロック図である。

【図2】データ出力バッファを備えた従来のメモリ装置の詳細構成回路図であり、(a)はクロック入力バッファ1、(b)はパイプカウンタ発生器2を示す回路図である。

【図3】データ出力バッファを備えた従来のメモリ装置の詳細構成回路図であり、(a)はパイプカウンタラッチ回路3、(b)はデータ出力バッファ4を示す回路図である。

【図4】データ出力バッファを備えた従来のメモリ装置の各部波形例示図である。

【図5】データ出力バッファを備えた本実施の形態におけるメモリ装置のブロック図である。

【図6】データ出力バッファを備えた本実施の形態におけるメモリ装置の詳細構成回路図であり、(a)はクロック入力バッファ10、(b)及び(c)は遅延素子50を示す回路図である。

【図7】データ出力バッファを備えた本実施の形態におけるメモリ装置の詳細構成回路図であり、(a)はクロック入力バッファ10、(b)は遅延素子50、(c)はデータ出力バッファ40を示す回路図である。

【図8】データ出力バッファを備えた本実施の形態におけるメモリ装置の各部波形例示図である。

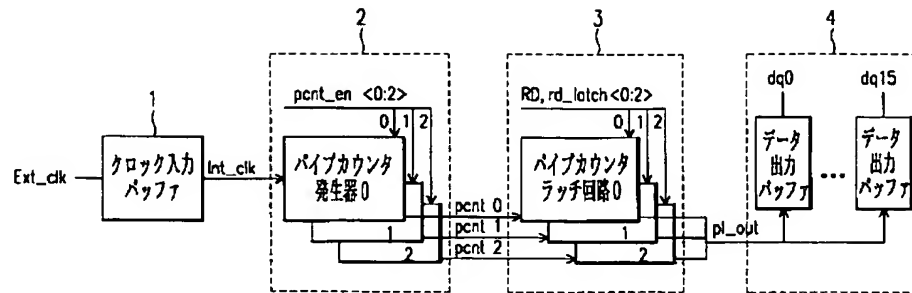
【符号の説明】

- 1 クロック入力バッファ
- 2 パイプカウンタ発生器
- 3 パイプカウンタラッチ回路
- 4 データ出力バッファ
- 10 クロック入力バッファ

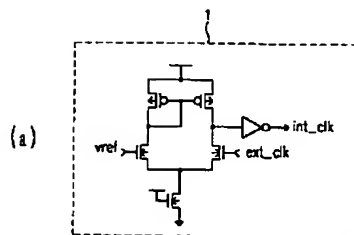
20 パイプカウンタ発生器
30 パイプカウンタラッチ回路

40 データ出力バッファ
50 遅延素子

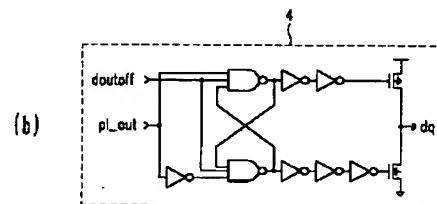
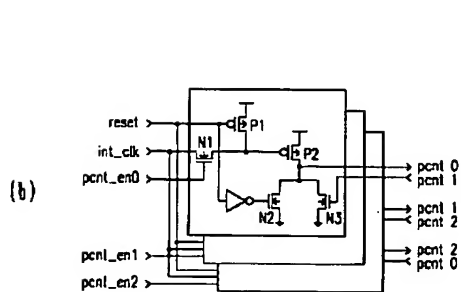
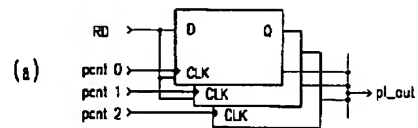
【図1】



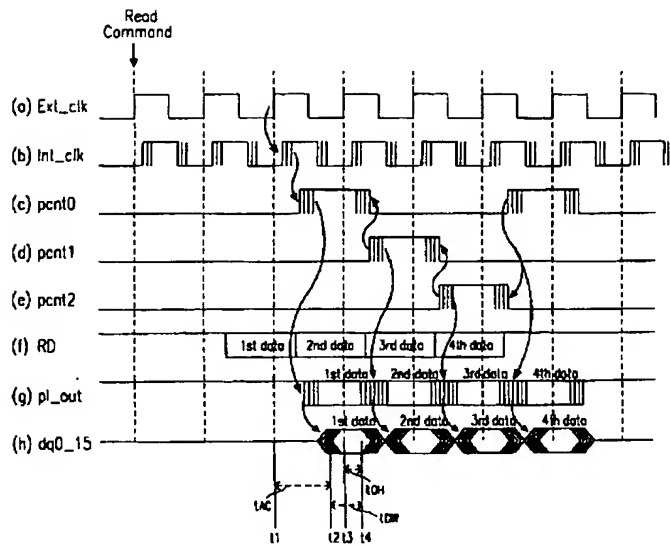
【図2】



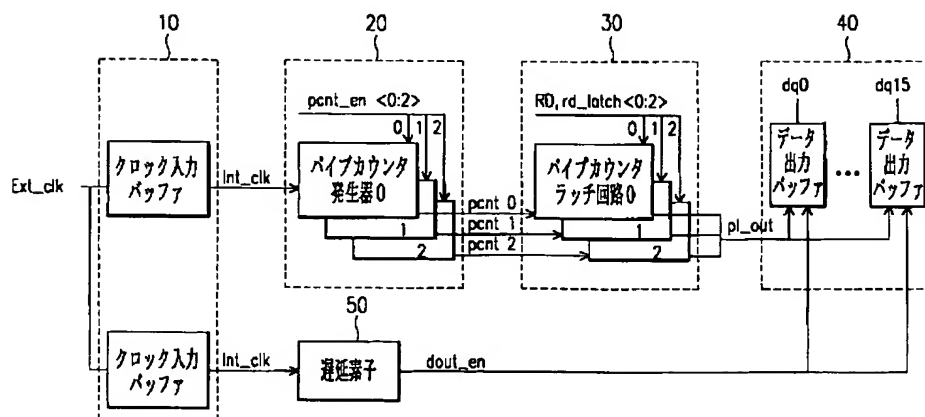
【図3】



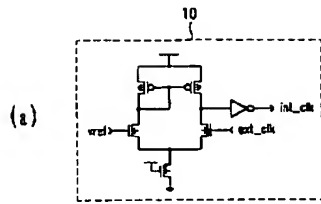
【図4】



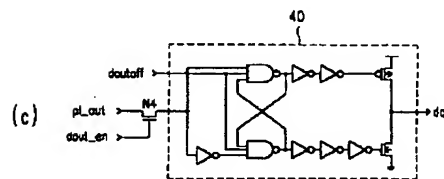
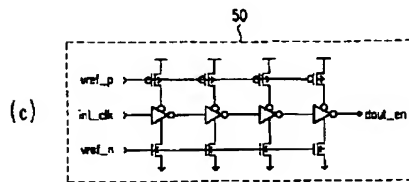
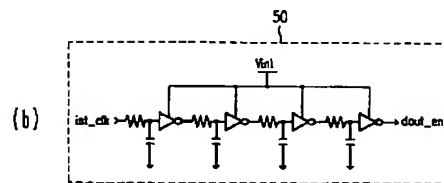
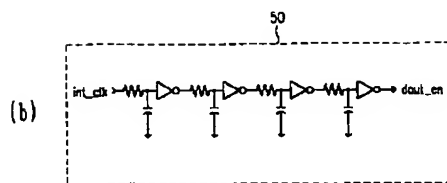
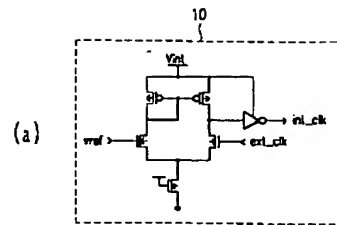
【図5】



【図6】



【図7】



【図8】

